

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭55—145439

⑤Int. Cl.<sup>3</sup>  
 H 03 K 23/08  
 23/04

識別記号 行内整理番号  
 7232—5 J  
 7232—5 J

④公開 昭和55年(1980)11月13日  
 発明の数 2  
 審査請求 未請求

(全 7 頁)

⑥入力制御型バイナリカウンタ回路  
 ⑦特 願 昭54—52331  
 ⑧出 願 昭54(1979)4月27日  
 ⑨発明者 高田実  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内

⑩発明者 鈴木八十二  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内  
 ⑪出願人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑫代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

入力制御型バイナリカウンタ回路

2. 特許請求の範囲

(1) 第1のCMOSインバータの入、出力端を第2のCMOSインバータの出、入力端に接続してなる第1のフリップフロップ要素、前記第1のCMOSインバータの出力端と第1の電位供給端との間に第1チャネル型の第1、第2、第3のMOSトランジスタを、前記第2のCMOSインバータの出力端と第1の電位供給端との間に第1チャネル型の第4、第5、第6のMOSトランジスタをそれぞれ直列介挿してなる第1、第2の直列回路を有したマスター・フリップフロップと、第3のCMOSインバータの入、出力端を第4のCMOSインバータの出、入力端に接続してなる第2のフリップフロップ要素、前記第3のCMOSインバータの出力端と第2の電位供給端との間に第2チャネル型の第7、第8のMOSトランジスタを前記第4のCMOSインバータの出力端と第

2の電位供給端との間に第2チャネル型の第9、第10のMOSトランジスタをそれぞれ直列介挿してなる第3、第4の直列回路を有したスレーブフリップフロップとを具備し、タイミングパルスを第2、第5、第8、第10のMOSトランジスタのゲートに、第1のCMOSインバータの出力信号を第9のMOSトランジスタのゲートに第2のCMOSインバータの出力信号を第7のMOSトランジスタのゲートに、第3のCMOSインバータの出力信号を第1のMOSトランジスタのゲートに、第4のCMOSインバータの出力信号を第4のMOSトランジスタのゲートに入力制御信号を第2、第5のMOSトランジスタのゲートにそれぞれ供給したことを特徴とする入力制御型バイナリカウンタ回路。

(2) CMOSインバータ本体に第1チャネル型の第1、第2、第3のMOSトランジスタの並列回路を介挿してなる第1のCMOSインバータの入、出力端と、CMOSインバータ本体に第1チャネルの第4、第5、第6のMOSトランジスタの並列

回路を介挿してなる第2のCMOSインバータの出入力端とを接続してなる第1のフリップフロップ棊架、前記第1のCMOSインバータの出力端と第1の電位供給端との間に第2チャネル型の第7、第8、第9のMOSトランジスタを、前記第2のCMOSインバータの出力端と第1の電位供給端との間に第2チャネル型の第10、第11、第12のMOSトランジスタをそれぞれ直列介挿してなる第1、第2の直列回路を有したマスター・フリップフロップと、CMOSインバータ本体に第2チャネル型の第13、第14のMOSトランジスタの並列回路を介挿してなる第3のCMOSインバータの入出力端と、CMOSインバータ本体に第2チャネル型の第15、第16のMOSトランジスタの並列回路を介挿してなる第4のCMOSインバータの出、入力端とを接続してなる第2のフリップフロップ棊架、前記第3のCMOSインバータの出力端と第2の電位供給端との間に第1チャネル型の第17、第18のMOSトランジスタを、前記第4のCMOSインバータの出力端と第2

3

従来、CMOS構成のバイナリカウンタ回路として、第1図の如きものが使用されていた。図において、Pチャネル型MOSトランジスタ1、2、Nチャネル型MOSトランジスタ3、4はクロックドインバータ21を構成する。Pチャネル型トランジスタ5、Nチャネル型トランジスタ6はインバータ22を構成する。Pチャネル型トランジスタ7、8、Nチャネル型トランジスタ9、10は帰還回路としてのクロックドインバータ23を構成する。Pチャネル型トランジスタ11、12、Nチャネル型トランジスタ13、14はクロックドインバータ24を構成する。Pチャネル型トランジスタ15、Nチャネル型トランジスタ16はインバータ25を構成する。Pチャネル型トランジスタ17、18、Nチャネル型トランジスタ19、20は帰還回路としてのクロックドインバータ26を構成する。Pチャネル型トランジスタ27、Nチャネル型トランジスタ28は上記各クロックドインバータを制御するためのクロック信号(タイミングバ

特開昭55-145439(2)  
の電位供給端との間に第1チャネル型の第19、第20のMOSトランジスタをそれぞれ直列接続してなる第3、第4の直列回路を有したスレーブフリップフロップとを具備し、タイミングパルスを第3、第4、第9、第12、第14、第15、第17、第19のMOSトランジスタのゲートに、第1のCMOSインバータの出力信号を第16、第20のMOSトランジスタのゲートに、第2のCMOSインバータの出力信号を第13、第18のMOSトランジスタのゲートに、第3のCMOSインバータの出力信号を第1、第7のMOSトランジスタのゲートに、第4のCMOSインバータの出力信号を第6、第10のMOSトランジスタのゲートに入力制御信号を第2、第5、第8、第11のMOSトランジスタのゲートにそれぞれ供給したことを特徴とする人力制御型バイナリカウンタ回路。

### 3.発明の詳細な説明

この発明は、CMOS(相補MOS型)集積回路化に適したバイナリーカウンタ回路に関する。

4

ルス)CK、CKを得るインバータ29を構成する。

この第1図の回路において、初期状態をクロック信号=“0”(アース電位)、クロックドインバータ24の出力Q<sub>bc</sub>=“1”(V<sub>dd</sub>電位)クロックドインバータ21の出力A=“1”と定める。そうするとPチャネル型トランジスタ1、Nチャネル型トランジスタ4とともにオフ(非導通)状態となるから、クロックドインバータ21は不動作状態となる。またトランジスタ2、3ともオン(導通)状態となるから、クロックドインバータ23は動作状態となる。またトランジスタ11、14ともオンするから、クロックドインバータ24は動作しトランジスタ17、20ともオフするからクロックドインバータ26は不動作となる。従つてインバータ22、23により、出力Aは“1”、出力Bは“0”を、クロック信号CK=“0”的期間保持し、クロックドインバータ24が動作状態であることににより、出力Q<sub>bc</sub>は“1”を保持し、インバ

5

6

$\ominus 2_5$ により出力  $\bar{Q}_{sc}$  は "0" である。次にクロック CK が "1" に変化すると、クロックドインバータ  $2_1, 2_6$  は動作し、クロックドインバータ  $2_3, 2_4$  は不動作となることにより、 $Q_{sc}$  は "1" でクロックドインバータ  $2_1$  が動作していることにより A は "1" から "0" に変化し、B は "0" から "1" となる。

またクロックドインバータ  $2_4$  は不動作、クロックドインバータ  $2_6$  は動作状態にあるから  $Q_{sc}$  は "1"、 $\bar{Q}_{sc}$  は "0" を保持する。次にクロック CK が "0" に変化すると、クロックドインバータ  $2_1, 2_6$  は不動作、クロックドインバータ  $2_3, 2_4$  は動作状態となり、B が "1" であるから、クロックドインバータ  $2_4$  が動作状態であることにより  $Q_{sc}$  は "1" から "0" にクロックの立下り同期で変化することになる。

以下同様の変化を繰返すため、第 1 図の回路動作は第 2 図の波形図のようになる。

ところで、PLL 方式の周波数シンセサイザに用いられるプリスケーラの後に周波数シフト機能を

能を持つ分周回路を構成する場合、カウント動作を一定期間中止できるようにしなければならない。このようにカウント動作を一定期間中止できるようなカウンタ回路を入力制御型カウンタ回路と称している。このような入力制御型カウンタ回路に第 1 図に示すような従来のバイナリカウンタ回路を用いた場合、クロック信号を制御するために、第 3 図に示すように制御信号 S およびクロック信号 CK が結合した制御ゲート（ NAND ゲート） 3\_0 が必要となる。

第 3 図に示す回路では S = "1" のときにクロック入力端にクロック信号が与えられてバイナリカウンタ回路 3\_1 でバイナリカウント動作が行なわれ、S = "0" のときには制御ゲート 3\_0 の出力 Y が "1" となつてカウント動作は中止される。しかしながら、制御ゲート 3\_0 を用いた入力制御型バイナリカウンタ回路ではこの制御ゲート 3\_0 によるクロック信号の遅れが生じてしまつたために高速動作させた場合に誤動作を起こすことになり、したがつて従来ではクロック

信号の周波数をあまり高くすることができないといった欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは、高速動作が可能な入力制御型バイナリカウンタ回路を提供することにある。

以下、図面を参照して本発明の一実施例を説明する。

第 4 図は同実施例を示す回路図であり、クロック信号 CK (タイミングパルス) の立下りで出力データが変化する立下り同期式の入力制御型バイナリカウンタ回路に適した場合の例である。第 4 図の回路は、大きく分けてマスター・フリップフロップ回路  $4_1$  とスレーブ・フリップフロップ回路  $4_2$  で構成される。即ち、マスター・フリップフロップ回路  $4_1$  では N チャネル型 MOS トランジスタ  $4_3, 4_4$  、 P チャネル型 MOS トランジスタ  $4_5, 4_6, 4_7$  の並列回路を直列介接して CMOS インバータ  $4_8$  を形成している。CMOS インバータ  $4_8$  の入、出力端と CMOS インバータ  $4_9$  の出、入力端とは相接続され、これによりフリップフロップ要素  $4_9$  が構成される。CMOS インバータ  $4_8$  の出力端  $Q_M$  とアース電位供給端（以下単にアースという）との間に、N チャネル型 MOS トランジスタ  $5_6, 5_7, 5_8$  が直列接続され、CMOS インバータ  $5_4$  の出力端  $Q_M$  とアースには、N チャネル型 MOS トランジスタ  $5_9, 6_0, 6_1$  が直列接続される。

スレーブ・フリップフロップ回路  $4_2$  では、P チャネル型 MOS トランジスタ  $6_2, 6_3$  、 N チャネル型 MOS トランジスタ  $6_4, 6_5$  からなる CMOS インバータ本体は、N チャネル型 MOS トランジスタ  $6_4, 6_5$  の並列回路を直列介接して CMOS インバータ  $6_6$  を形成し、また P チャネル型 MOS トランジスタ  $6_7, 6_8$  、 N チャネル型 MOS トランジスタ  $6_9, 6_{10}$  の並列回路を直列介接して CMOS インバータ  $6_{11}$  を形成する。

スレーブ・フリップフロップ回路  $4_2$  では、P チャネル型 MOS トランジスタ  $6_2, 6_3$  、 N チャネル型 MOS トランジスタ  $6_4, 6_5$  からなる CMOS インバータ本体は、N チャネル型 MOS トランジスタ  $6_4, 6_5$  の並列回路を直列介接して CMOS インバータ  $6_6$  を形成し、また P チャネル型 MOS トランジスタ  $6_7, 6_8$  、 N チャネル型 MOS トランジスタ  $6_9, 6_{10}$  の並列回路を直列介接して CMOS インバータ  $6_{11}$  を形成する。

ンジスタ 6 8 からなる CMOS インバータ本体に、N チャネル型 MOS トランジスタ 6 9, 7 0 の並列回路を直列介挿して CMOS インバータ 7 1 を形成している。CMOS インバータ 6 6 の入、出力端と CMOS インバータ 7 1 の出、入力端とは直接続かれ、これによりフリップフロップ要素 7 2 が構成される。CMOS インバータ 6 6 の出力端  $\bar{Q}_{sc}$  と  $V_{DD}$  電位供給端（以下電源  $V_{DD}$  と称す）との間に、P チャネル型 MOS トランジスタ 7 3, 7 4 が直列接続され、CMOS インバータ 7 1 の出力端  $\bar{Q}_{sc}$  と電源  $V_{DD}$  間には P チャネル型 MOS トランジスタ 7 5, 7 6 が直列接続される。

また、トランジスタ 7 1, 5 1, 5 8, 6 1, 6 5, 6 9, 7 3, 7 5 のゲートをクロック信号 CK の供給端に接続し、CMOS インバータ 4 8 の出力端  $\bar{Q}_m$  はトランジスタ 7 0, 7 6 のゲートに接続し、CMOS インバータ 5 4 の出力端  $Q_m$  はトランジスタ 6 4, 7 4 のゲートに接続し、CMOS インバータ 6 6 の出力端  $Q_{sc}$  はトランジスタ 4 5, 5 6 のゲートに接続し、さらに CMOS

11

特開昭55-145439(4)  
インバータ 7 1 の出力端 QBC はトランジスタ 5 3, 6 9 のゲートに接続する。またトランジスタ 4 6, 5 2, 6 7, 6 0 のゲートを制御信号 S の供給端に接続する。

ここで第 4 図の回路動作を説明するに当たり、“0”をアース電位、“1”を  $V_{DD}$  電位とし、その初期状態を CK = “0”, QBC = “1”, QM = “1”を仮定する。いま制御信号 S = “1”的ときトランジスタ 5 7, 6 0 はオン、トランジスタ 4 6, 5 2 はオフとなる。この状態で CK が “0” から “1” に変化するとトランジスタ 6 1 がオンし、トランジスタ 5 9 は QBC が “1” であることにより、オンしており從つて、QM は “1” から “0” に変化する。このためトランジスタ 7 4 はオンするが CK が “1” であることによりトランジスタ 7 3 はオフしているから、 $\bar{Q}_{sc}$  は “0”,  $Q_{sc}$  は “1” を保持する。次に CK が “1” から “0” に変化すると、トランジスタ 7 3 がオンして  $\bar{Q}_{sc}$  が “0” から “1” に変化し、QM は CK が “1” に変化したときにトランジスタ 4 5, 5 6 を介し

12

て “0” から “1” に変化しているから、トランジスタ 7 0 はオンしており、またトランジスタ 6 8 も  $\bar{Q}_{sc}$  が “1” でオンしているため、QBC は “1” から “0” に変化する。以下同様の動作を繰返すと、第 5 図のような動作波形図となり、従つて第 4 図の回路は S = “1”的とき第 1 図と同様に CK のバイナリカウント動作をすることになる。

一方、 $Q_{sc} = “0”, QM = “0”$  のときに S が “1” から “0” に変化すると、今までオンしていたトランジスタ 5 7, 6 0 がオフし、今までオフしていたトランジスタ 4 6, 5 2 がオンする。このとき QM = “0” によりトランジスタ 7 4 がオンし、 $\bar{Q}_M = “1”$  によりトランジスタ 7 9 がオンしているので CK が変化しても  $Q_m$  はトランジスタ 4 6, 7 4 により “1” に保持され、さらに  $\bar{Q}_m$  はトランジスタ 7 9 により “0” に保持される。すなわち S = “0”的ときには CK とは無関係にマスター・フリップフロップ回路 7 1 は以前の状態を保持するために、第 4 図の

回路は、第 5 図のようにバイナリカウント動作をしない。そして、S が “1” に戻ると再びバイナリカウント動作が行なわれることになる。

このように第 4 図に示す回路では、クロック信号 CK を制御ゲートを通すことなしに制御信号 S により直接カウント動作を中止させることができるためにゲートによる遅れ時間を考慮する必要がなく、クロック信号 CK の周波数を極めて高くして高速動作させても誤動作を起すことはない。

第 6 図は、この発明の第 2 実施例であり、クロック信号 CK の立上りで出力データ  $Q_{sc}, \bar{Q}_{sc}$  が変化する立上り同期式の入力制御型バイナリカウンタ回路とした場合の例である。本実施例は、前記実施例と原理的に対応するので、対応し得る箇所には同一符号を用いかつこれにダッシュを付して説明を省略する。この場合の特徴は CK の立上りでデータを変化させるため、N チャネル型 MOS トランジスタ 7 3', 7 5' に CK を供給するとともに、N チャネル型 MOS トラン

13

14

ジスター 4'6', 5'2'および P チャネル型 MOS トランジスタ 5'7', 6'0' IC インバータアアを介して制御信号 8 を供給するようにしたことにあら。

第 7 図は本発明の第 3 実施例であり、回路の簡略化をはかつた場合の例である。即ち第 4 図の回路から、トランジスタ 4'5, 4'6, 4'7, 5'1, 5'2, 5'3 及び 6'4, 6'5, 6'9, 7'0 を省略している。これでも前記第 5 図の波形図と対応した動作が得られる。この場合の構成も立下り同期式となる。なお、第 6 図の回路も第 7 図の場合と同様にして、回路の簡略化がはかれることは勿論である。

第 8 図は本発明の第 4 実施例であり、CK に無関係に一義的に出力 QBC,  $\overline{QBC}$  のレベルが定められるプリセット／クリア機能を例えれば第 4 図の回路に付加したものである。即ちこの第 8 図の回路では、プリセット信号 Preset の供給ラインに付すいするインバータ 8'1, 7'9 トランジスタ 8'0 ~ 8'5 が付加され、クリア信号 Clear の供給ラインに付すいするインバータ 8'6, 8'7

トランジスタ 8'8 ~ 9'3 が付加されている。

なお、第 9 図、第 10 図、第 11 図はそれぞれ前記第 4 図、第 6 図、第 8 図に示す回路をシンボル化して示したものである。

以上説明したようにこの発明によれば、高速動作が可能な入力制御型バイナリカウンタ回路を提供することができる。

#### 4. 図面の簡単な説明

第 1 図は、従来のバイナリカウンタ回路の構成図、第 2 図は同回路の動作を示す信号波形図、第 3 図は従来の入力制御型バイナリカウンタ回路の構成図、第 4 図はこの発明の一実施例の構成図、第 5 図は上記実施例回路の動作を示す信号波形図、第 6 図ないし第 8 図はそれぞれこの発明の他の実施例の構成図、第 9 図ないし第 11 図はそれぞれ第 4 図、第 6 図、第 8 図の回路をシンボル化して示す構成図である。

4'1 … マスター・フリップフロップ回路、4'2 … スレーブ・フリップフロップ回路、4'8, 5'4 … 6'6, 7'1 … CMOS インバータ、5'5, 7'2 …

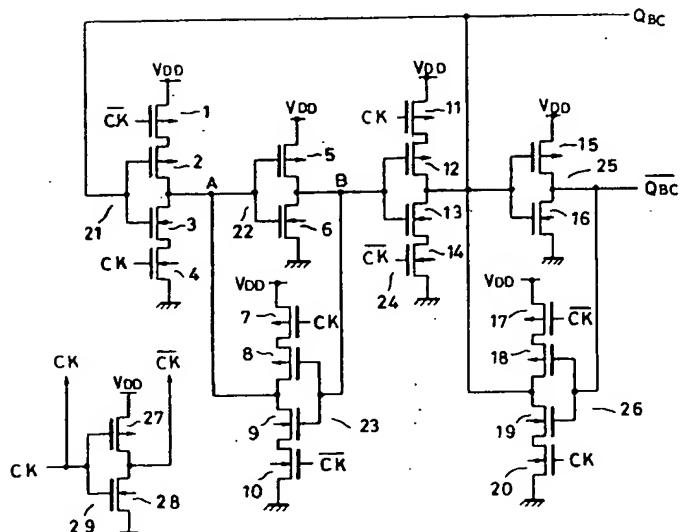
15

16

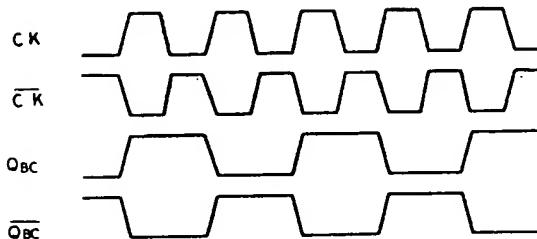
フリップフロップ要素。

出願人代理人 弁理士 鈴江 武彦

第 1 図



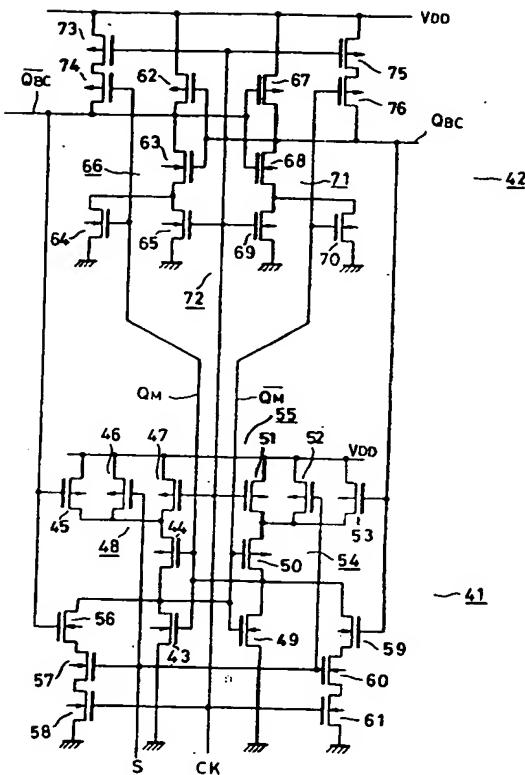
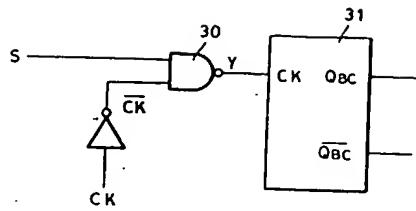
第 2 図



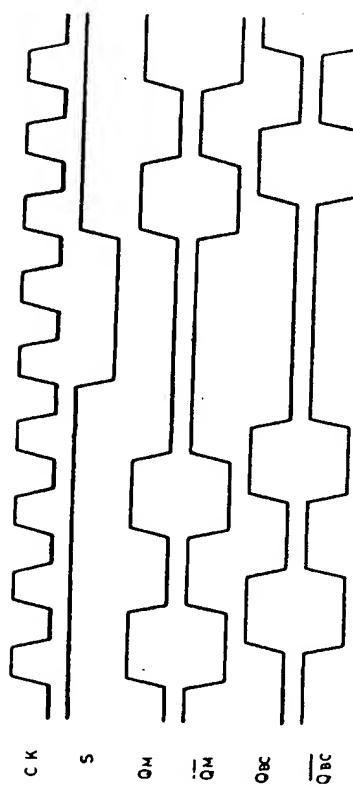
17

第4回

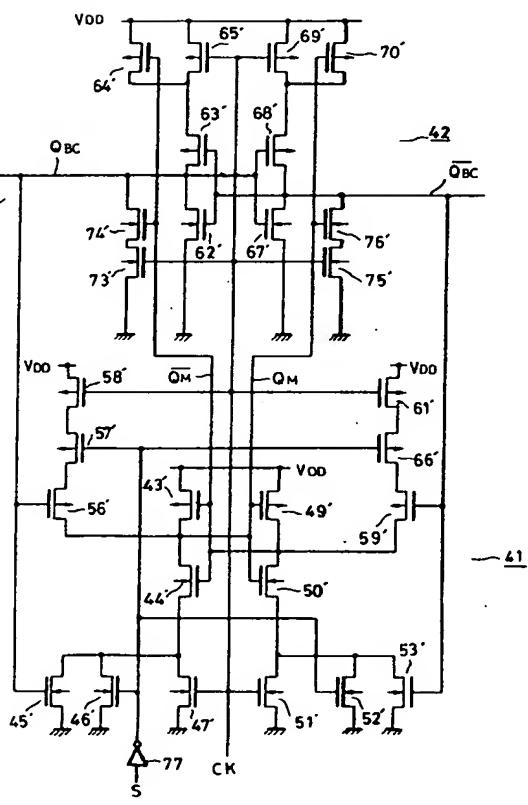
第3回



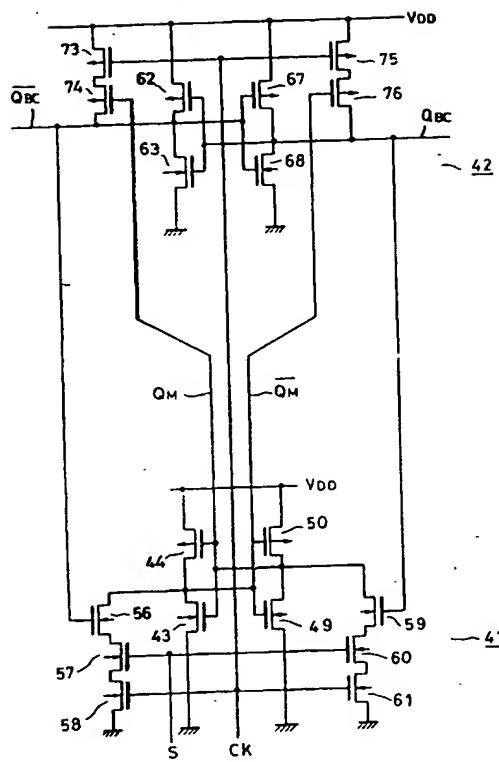
四  
五  
第



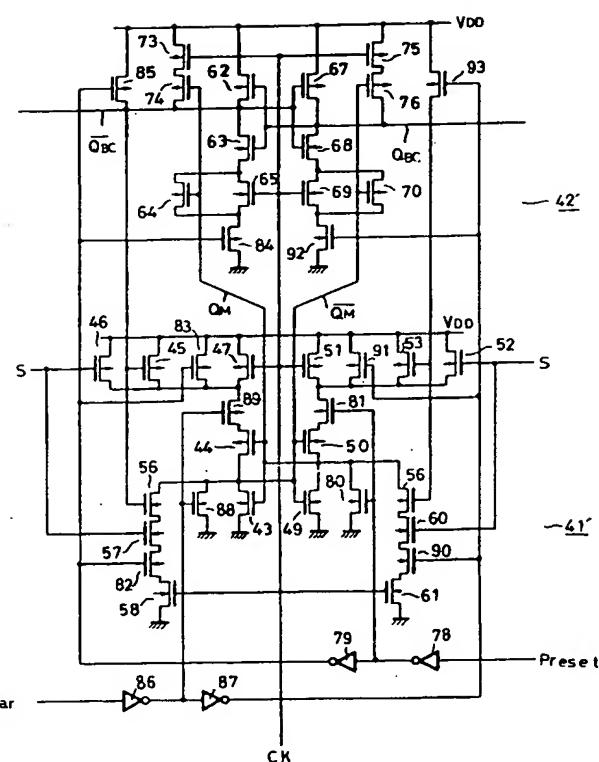
第 6 四



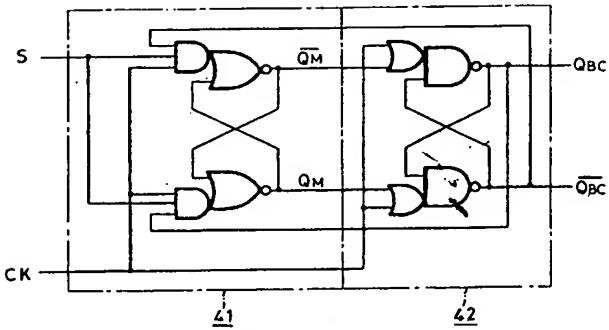
第7図



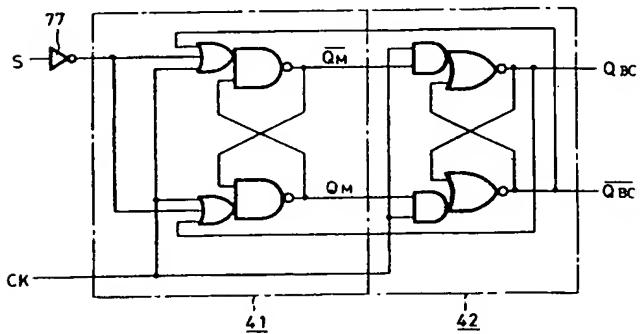
第8図



第9図



第10図



第11図

